

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

US
936

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月30日

出願番号 Application Number: 特願2003-022766

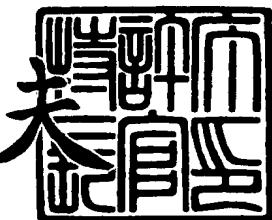
[ST. 10/C]: [JP2003-022766]

出願人 Applicant(s): NECエレクトロニクス株式会社

2003年10月29日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 74120021

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8238

H01L 27/092

H01L 27/10

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地

NECエレクトロニクス株式会社内

【氏名】 川口 宏

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地

NECエレクトロニクス株式会社内

【氏名】 水野 梨貴

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 一導電型の半導体領域と、前記一導電型の半導体領域に所定の間隔で設けられた逆導電型の第1及び第2領域と、前記一導電型の半導体領域にあって前記逆導電型の第1及び第2領域に挟まれて設けられた一導電型の第3領域とを有する半導体装置であって、前記一導電型の半導体領域にあって、前記一導電型の第3領域の下方に、前記一導電型の第3領域を少なくとも平面的に全て含む形の一導電型の第4領域が設けられることを特徴とする半導体装置。

【請求項 2】 一導電型の半導体領域と、前記一導電型の半導体領域に所定の間隔で設けられた逆導電型の第1及び第2領域と、前記一導電型の半導体領域にあって前記逆導電型の第1及び第2領域に挟まれて設けられた一導電型の第3領域とを有する半導体装置であって、前記一導電型の半導体領域にあって、前記逆導電型の第1及び第2領域と前記一導電型の第3領域の下方全面に渡って、一導電型の第4領域が設けられることを特徴とする半導体装置。

【請求項 3】 前記一導電型の第4領域の不純物濃度ピークの深さ方向の位置は、前記逆導電型の第1及び第2領域の不純物濃度ピークの深さ方向の位置よりも深いことを特徴とする請求項1又は2に記載の半導体装置。

【請求項 4】 前記一導電型の第4領域の不純物ピーク濃度は、前記所定の間隔を狭くするに従って高くなる関係にあることを特徴とする請求項1、2又は3に記載の半導体装置。

【請求項 5】 前記一導電型の第4領域の不純物濃度ピークの深さ方向の位置は、前記逆導電型の第1及び第2領域の不純物濃度ピークよりも0.3～0.8マイクロメートルの範囲で深いことを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置。

【請求項 6】 前記一導電型の第4領域の不純物ピーク濃度は、前記所定の間隔をsとすると、 $(1-s) \times 1.4 \times 10^{-16}$ (atom/cm⁴) を下限とすることを特徴とする請求項1乃至5のいずれか一項に記載の半導体装置。

【請求項 7】 前記一導電型の第4領域はイオン注入により形成された領域

であることを特徴とする請求項1乃至6のいずれか一項に記載の半導体装置。

【請求項8】 前記一導電型の第4領域はエピタキシャル成長法により形成された領域であることを特徴とする請求項1乃至6のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は入出力保護部を備えた半導体装置に関し、特に、入出力保護部の素子マージンの縮小を図った半導体装置に関する。

【0002】

【従来の技術】

近時、半導体集積回路装置の動作周波数が極めて高くなってきており、電源配線及びグラウンド配線に割り当たられる配線面積が益々増加する傾向にある。従って、半導体集積回路装置を実際に使用する局面で、瞬間的な電圧サージが発生する、或いは、定常的に高電圧が印加されると、半導体集積回路装置の内部素子が破壊に至り易くなる。従来、この電圧サージまたは高電圧による内部回路の破壊を回避するために、入出力端子に保護回路を接続する、或いは、内部回路の耐圧を上げることが行われている。このような技術の一つとして、特許文献1には、p型基板に離間して設ける2つのnウェルに対して、2つのnウェル間に同じマスクを通して2回のイオン注入で深さの異なるボロン領域を形成してpウェルとし、深い方のボロン領域が2つのnウェルよりも深くなるようにして2つのnウェル間の耐圧を上げると同時に2つのnウェル間のリーキを抑える技術が記載されている。

【0003】

【特許文献1】

特開2002-289704公報（段落番号0024～0040、図1, 7）

【0004】

【発明が解決しようとする課題】

しかしながら、2つのnウェルの間隔がサブミクロンになった場合には、上記特許文献1のpウェル構造では2つのnウェル間の耐圧を高く維持できない。

【0005】

本発明の目的は、同じ導電型の2つのウェル領域の間隔がサブミクロンになつた場合においても、同じ導電型の2つのウェル領域間の耐圧を高く維持できる半導体装置を提供するものである。

【0006】

【課題を解決するための手段】

本発明の半導体装置は、一導電型の半導体領域と、前記一導電型の半導体領域に所定の間隔で設けられた逆導電型の第1及び第2領域と、前記一導電型の半導体領域にあって前記逆導電型の第1及び第2領域に挟まれて設けられた一導電型の第3領域とを有する半導体装置であつて、前記一導電型の半導体領域にあって、前記一導電型の第3領域の下方に、前記一導電型の第3領域を少なくとも平面的に全て含む形の一導電型の第4領域が設けられることを特徴とする。

【0007】

本発明のさらに好適な半導体装置は、一導電型の半導体領域と、前記一導電型の半導体領域に所定の間隔で設けられた逆導電型の第1及び第2領域と、前記一導電型の半導体領域にあって前記逆導電型の第1及び第2領域に挟まれて設けられた一導電型の第3領域とを有する半導体装置であつて、前記一導電型の半導体領域にあって、前記逆導電型の第1及び第2領域と前記一導電型の第3領域の下方全面に渡って、一導電型の第4領域が設けられることを特徴とする。

【0008】

上記本発明の半導体装置において、前記一導電型の第4領域の不純物濃度ピークの深さ方向の位置は、前記逆導電型の第1及び第2領域の不純物濃度ピークの深さ方向の位置よりも深い、さらには、前記一導電型の第4領域の不純物ピーク濃度は、前記所定の間隔を狭くするに従つて高くなる関係にある。具体的には、前記一導電型の第4領域の不純物濃度ピークの深さ方向の位置は、前記逆導電型の第1及び第2領域の不純物濃度ピークよりも0.3～0.8マイクロメートルの範囲で深い、さらに、前記一導電型の第4領域の不純物ピーク濃度は、前記所

定の間隔を s とすると、 $(1 - s) \times 1.4 \times 10^{-16}$ (atom/cm⁴) を下限とする。

【0009】

上記本発明の半導体装置において、前記一導電型の第4領域はイオン注入により形成された、或いは、エピタキシャル成長法により形成された領域である。

【0010】

【発明の実施の形態】

本発明の第1の実施形態を図面を参照して説明する。本実施形態では、半導体基板に p 型半導体基板を選択し、p 型半導体基板に 2 つの n ウェルを設け、その間に p ウェルを形成する構成に関して説明する。図は第1の実施形態の半導体装置の模式断面図である。以下の説明では、2 つの n ウェルのうち、高い電圧が印加される n ウェルから主として p 型半導体基板内部で延びる空乏層について議論するため、p 型半導体基板表面近傍及びそれよりも上の構造については図示を省略する。

【0011】

先ず、図1に示すように、p 型半導体基板1に2つのnウェル2、3が設けられ、その間にpウェル4が挟まれる。2つのnウェル2、3及びpウェル4の下方にはpウェル5またはp型エピタキシャル層が設けられる。2つのnウェル2、3とpウェル4との間には、例えばトレンチ分離絶縁膜6が設けられ、pウェル4の反対側でnウェル2、3と隣接する素子（図示せず）との間にもトレンチ分離絶縁膜6が設けられる。

【0012】

上記構成において、p型半導体基板1、nウェル2及びpウェル4を接地し、nウェル3に10Vの電圧を印加すると、ポテンシャル分布は図2のグラフのようになる。図3は図1の断面構造においてpウェル5を設けない場合のポテンシャル分布である。図2を図3と比較すると、図2のポテンシャル分布が一定の深さに収められるが図3のポテンシャル分布は下方及び横方向に延びていることがわかる。これにより、図2の構造では、nウェル3からの空乏層が一定の深さに収められ、パンチスルーパーを防止していることがわかる。

【0013】

次に、pウェル4の構造について説明する。図4～6はボロンのドーズ量を5E12/cm²に固定し、ボロンのイオン注入エネルギーを300～400keVの範囲で変化させたときのポテンシャル分布である。バイアス条件は上述の条件と同じである。

【0014】

図4はボロンのイオン注入エネルギーが300keVのときのポテンシャル分布である。nウェル3から空乏層が下方に延びている様子がわかる。これは、注入されたボロンが浅いため、nウェル3のn型不純物と横方向で補償しあってボロン注入の効果が弱められるためと考えられる。

【0015】

図5はボロンのイオン注入エネルギーが360keVのときのポテンシャル分布である。nウェル3からの空乏層の延びが抑えられている様子がわかる。

【0016】

図6はボロンのイオン注入エネルギーが400keVのときのポテンシャル分布である。nウェル3からの空乏層の延びがさらに抑えられている様子がわかる。

【0017】

図4のボロンのイオン注入エネルギーが300keVの場合でも、nウェル3から空乏層がnウェル2にまで延びてぶつかり、パンチスルーや起こすことはない。

【0018】

以上のことから、パンチスルーや完全に防止するためのボロンイオン注入エネルギーは最低300keVあれば十分であると言える。

【0019】

図7はボロンの主としてイオン注入エネルギーを変化させたときのボロンの不純物分布である。リンを2E13/cm²、イオン注入エネルギー360keVで注入してnウェル2、3を形成したときのnウェルの不純物分布も併せて示している。不純物分布は2次イオン質量分析(SIMS)による実測値である。

【0020】

この不純物分布から、ボロンをイオン注入エネルギー300 keVで注入した場合のボロン濃度ピークはnウェルのリン濃度ピークよりも約0.3マイクロメートルだけ深い位置にある。また、ボロンをイオン注入エネルギー500 keVで注入した場合のボロン濃度ピークはnウェルのリン濃度ピークよりも約0.8マイクロメートルだけ深い位置にある。従って、pウェル4の構造としては、nウェル2, 3のリン濃度ピークに対して約0.3~0.8マイクロメートルだけ深い位置にボロン濃度ピークを位置させれば十分なパンチスルーフォルムが得られる。

【0021】

次に、nウェル2, 3間のパンチスルーフォルムを十分に防止できるようにするためのnウェル2, 3の間隔s(マイクロメートル)とボロンピーク濃度との関係を求める。図7から、ボロンをドーズ量1E12/cm²、イオン注入エネルギー300 keV及びドーズ量1E12/cm²、イオン注入エネルギー500 keVで注入した場合のボロン濃度ピークはほぼ同じレベルであることがわかる。

【0022】

この事実をベースとして、イオン注入エネルギーを300~500 keVの範囲で振り、ボロンのドーズ量を変化させたときの、nウェル2, 3間の最低必要間隔をプロットしたものが図8である。nウェル2, 3間の最低必要間隔は、上述のバイアス条件下で、nウェル3に20Vを印加してもパンチスルーフォルムが生じない間隔と定義している。

【0023】

nウェル2, 3の最低必要間隔s(マイクロメートル)とボロンピーク濃度との関係を図8の破線のように対数グラフ上で直線近似すると、

$$n_p = (1 - s) \times 1.4 \times 10^{-16} \text{ (atom/cm}^4\text{)}$$

と表すことができる。

【0024】

次に、本発明の第2の実施形態を図面を参照して説明する。本実施形態は、第1の実施形態とはpウェルの構造のみが異なり、あとは同じである。

【0025】

図9に示すように、p型半導体基板1に2つのnウェル2, 3が設けられ、その間にpウェル4が挟まれる。pウェル4の下方にはpウェル4を平面的に完全に包含するようにpウェル15が設けられる。2つのnウェル2, 3とpウェル4との間には、例えばトレンチ分離絶縁膜6が設けられ、pウェル4の反対側でnウェル2, 3と隣接する素子(図示せず)との間にもトレンチ分離絶縁膜6が設けられる。

【0026】

上記構成において、p型半導体基板1、nウェル2及びpウェル4を接地し、nウェル3に10Vの電圧を印加すると、ポテンシャル分布は図10のグラフのようになる。図10をpウェル15を設けない場合のポテンシャル分布である図3と比較すると、図10の10Vのポテンシャル線が横方向にnウェル2, 3の間に位置しているが図3の10Vのポテンシャル線は下方及び横方向に延びてnウェル2にまで到達していることがわかる。これにより、図10の構造でも、nウェル3からの空乏層の横方向への広がりを食い止めて、パンチスルーを防止できていることがわかる。

【0027】

従って、本実施形態からわかるように、pウェル15は少なくともpウェル4の下方にpウェル4を平面的に包含するように設けておけば、nウェル2, 3間のパンチスルーを防止できる。

【0028】

以上の説明において、2つのnウェル及びその間のpウェルの下方にp型エピタキシャル層を設ける場合には、上述したウェル5と同様な濃度及びp型半導体基板基板中での深さを有するようにp型エピタキシャル層を形成すれば良い。

【0029】

また、本発明をp型半導体基板に2つのnウェルを設け、その間にpウェルを挟み、これらの下方にさらにpウェルを設ける構造を説明したが、これらの導電型を逆にした構成の半導体装置においても、本発明に記載した最適値の値自体は異なるものの、同様なパターン設計及びプロセス設計を行うことにより、ウェル

間のパンチスルーを防止でき、半導体集積回路のサイズ縮小が可能となる。

【0030】

【発明の効果】

以上説明したように本発明は、p型半導体基板に2つのnウェル及びその間に挟まれたpウェルが挟まれる構成において、2つのnウェル及びpウェルの下方にpウェルまたはp型エピタキシャル層を設けることにより、2つのnウェル間のパンチスルーを防止し、nウェル間隔を短くすることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の半導体装置の模式断面図である。

【図2】

本発明の第1の実施形態の半導体装置において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

【図3】

本発明の第1の実施形態の半導体装置から埋込pウェルを除いた場合において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

【図4】

ボロンのドーズ量を $5 \times 10^{12} / \text{cm}^2$ に固定し、ボロンのイオン注入エネルギーを300 keVとした場合において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

【図5】

ボロンのドーズ量を $5 \times 10^{12} / \text{cm}^2$ に固定し、ボロンのイオン注入エネルギーを360 keVとした場合において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

【図6】

ボロンのドーズ量を $5 \times 10^{12} / \text{cm}^2$ に固定し、ボロンのイオン注入エネルギーを400 keVとした場合において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

【図7】

ボロンの主としてイオン注入エネルギーを変化させたときのボロンの不純物分布であり、リンを $2 \times 10^3 / \text{cm}^2$ 、イオン注入エネルギー 360 keV で注入してnウェル2, 3を形成したときのnウェルの不純物分布も併せて示している。

【図8】

イオン注入エネルギーを $300 \sim 500 \text{ keV}$ の範囲で振り、ボロンのドーズ量を変化させたときの、nウェル2, 3間の最低必要間隔をプロットしたものである。

【図9】

本発明の第2の実施形態の半導体装置の模式断面図である。

【図10】

本発明の第2の実施形態の半導体装置において、2つのnウェルの一方に電圧を印加したときのポテンシャル分布である。

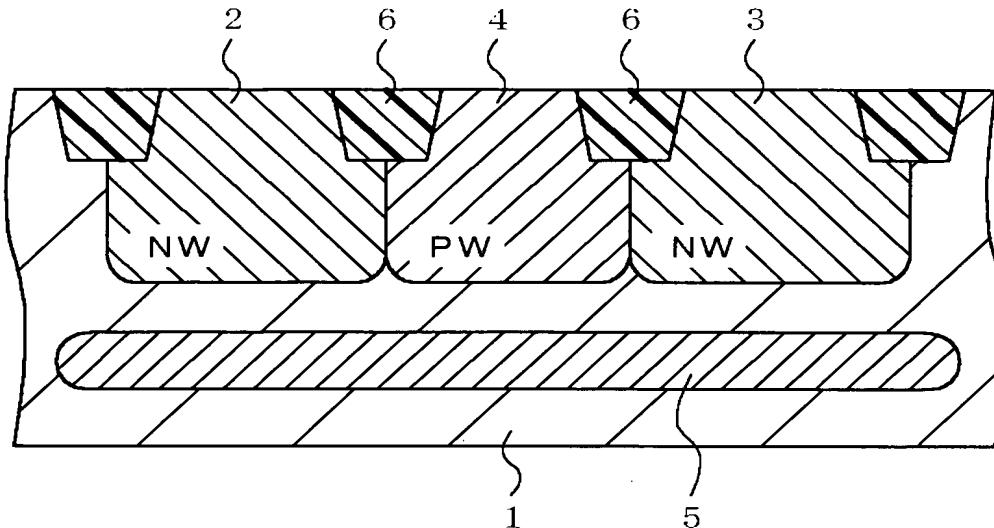
【符号の説明】

- 1 p型半導体基板
- 2, 3 nウェル
- 4, 5, 15 pウェル
- 6 トレンチ分離絶縁膜

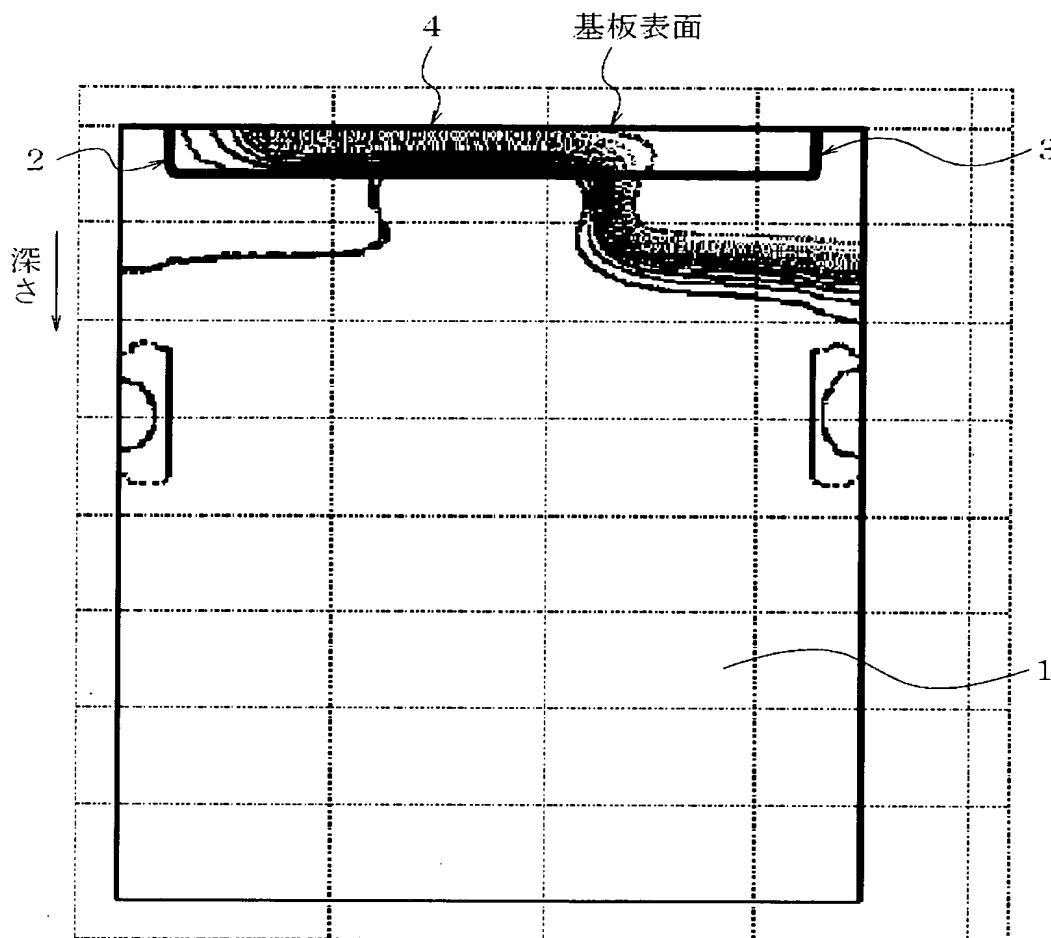
【書類名】 図面

【図1】

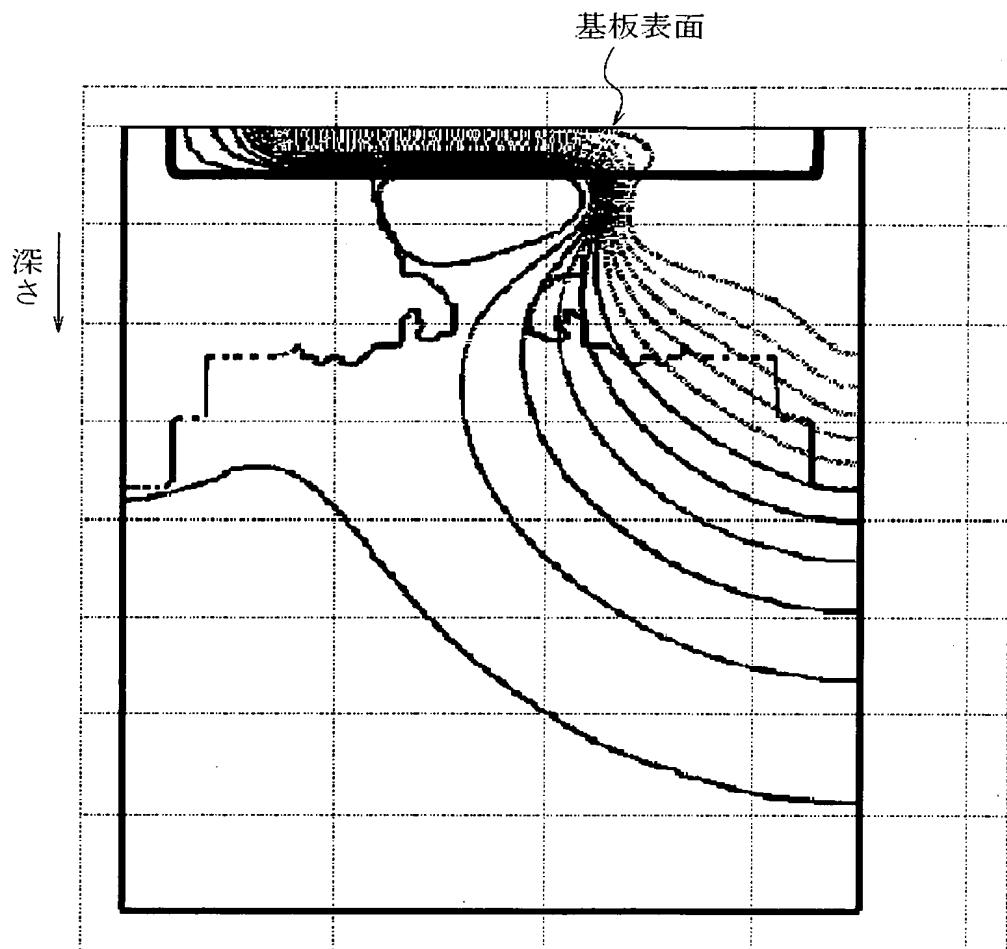
1. 全面にp型不純物層を設ける



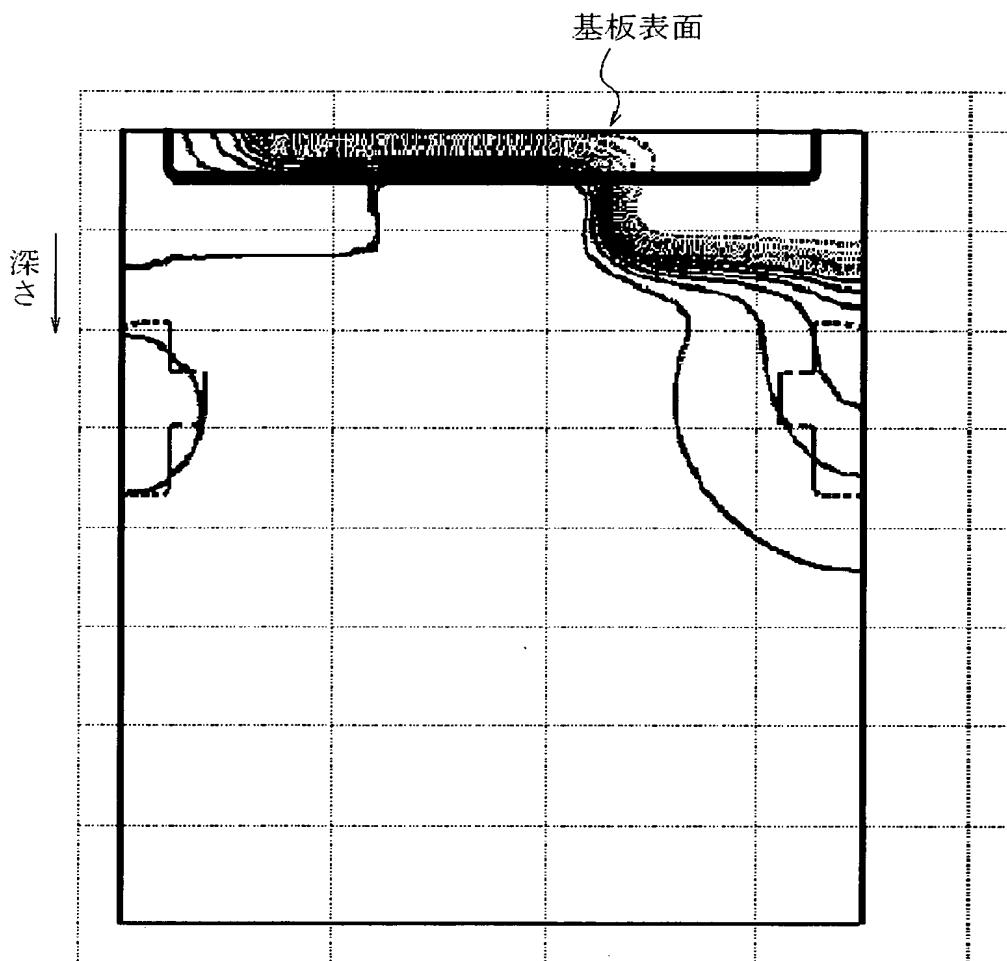
【図2】



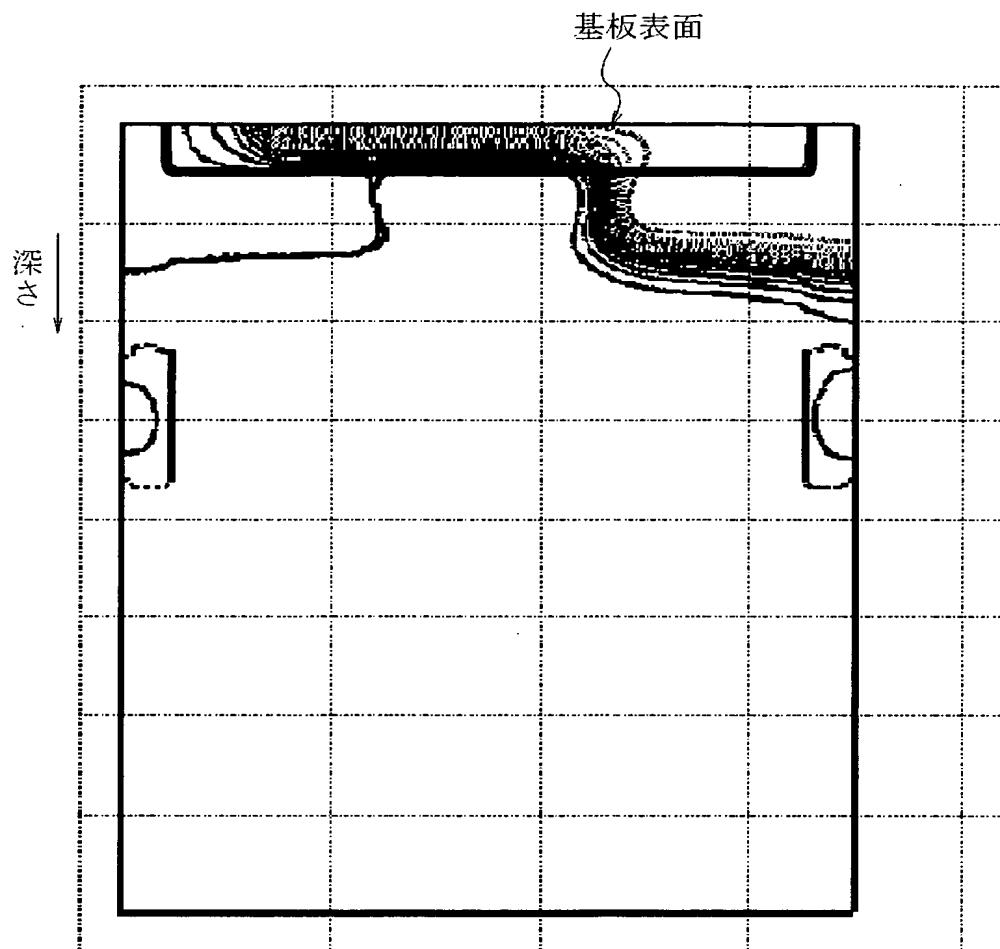
【図3】



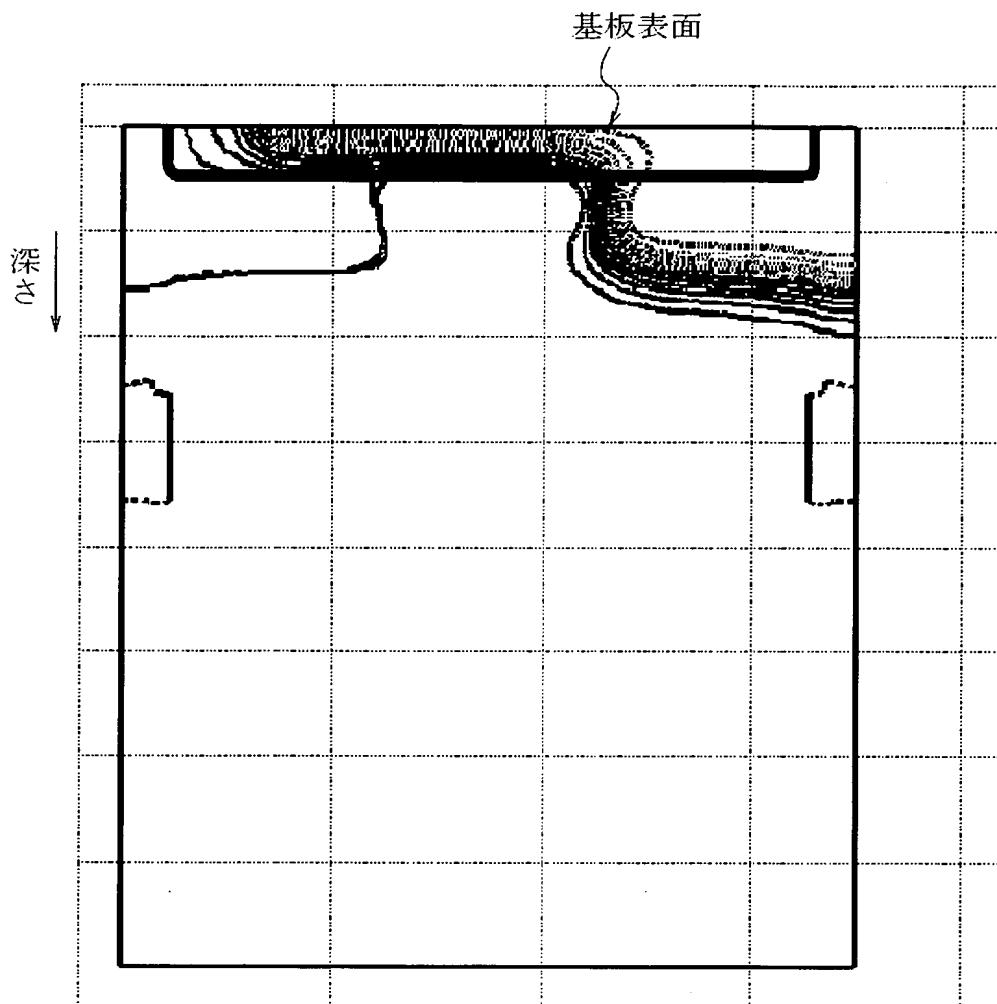
【図4】



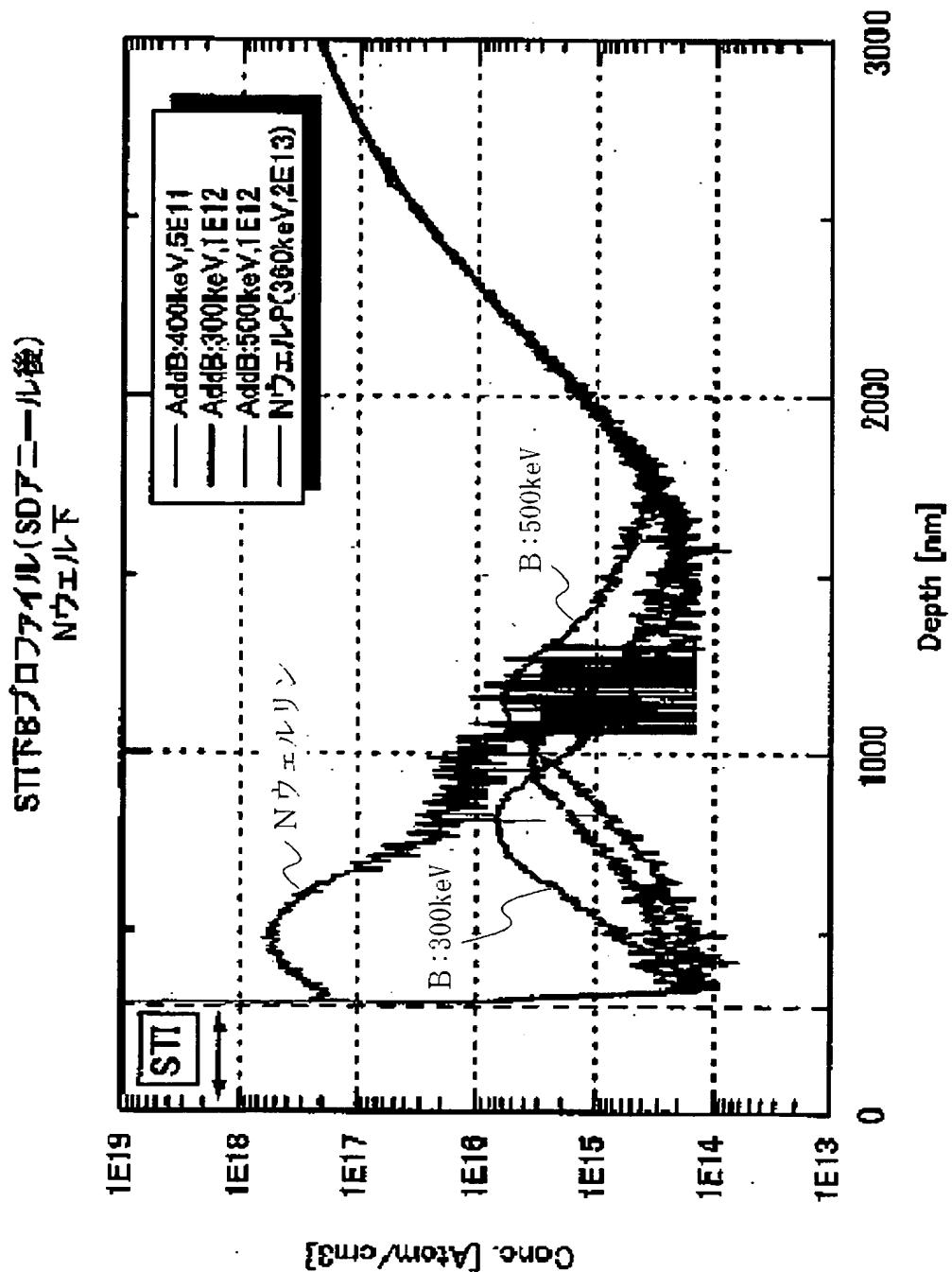
【図5】



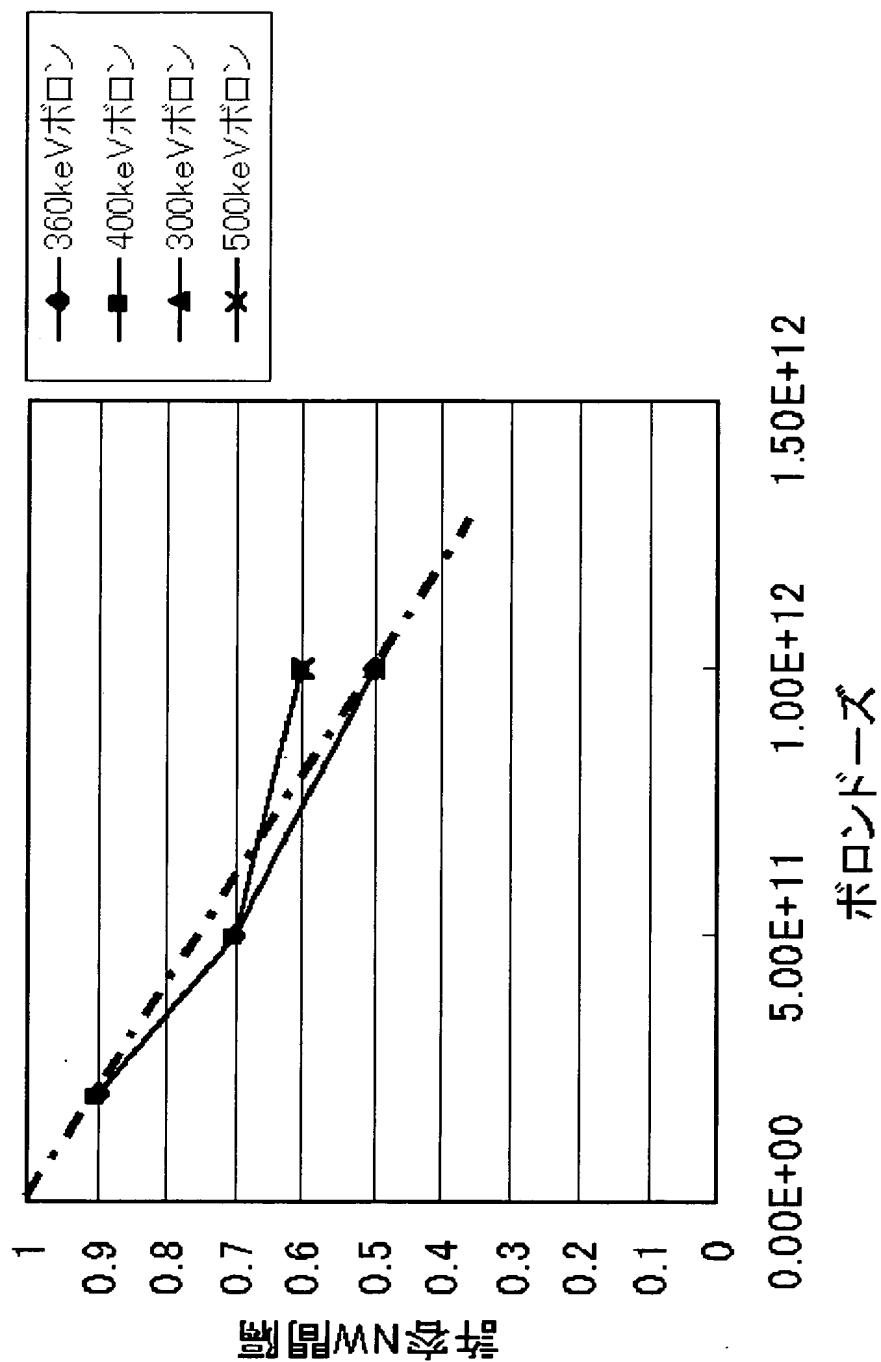
【図6】



【図7】

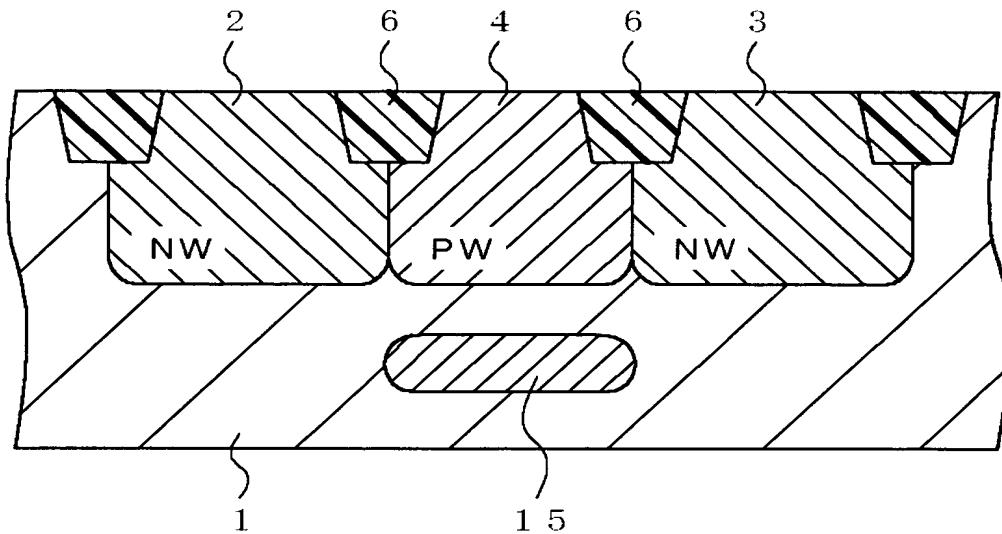


【図8】

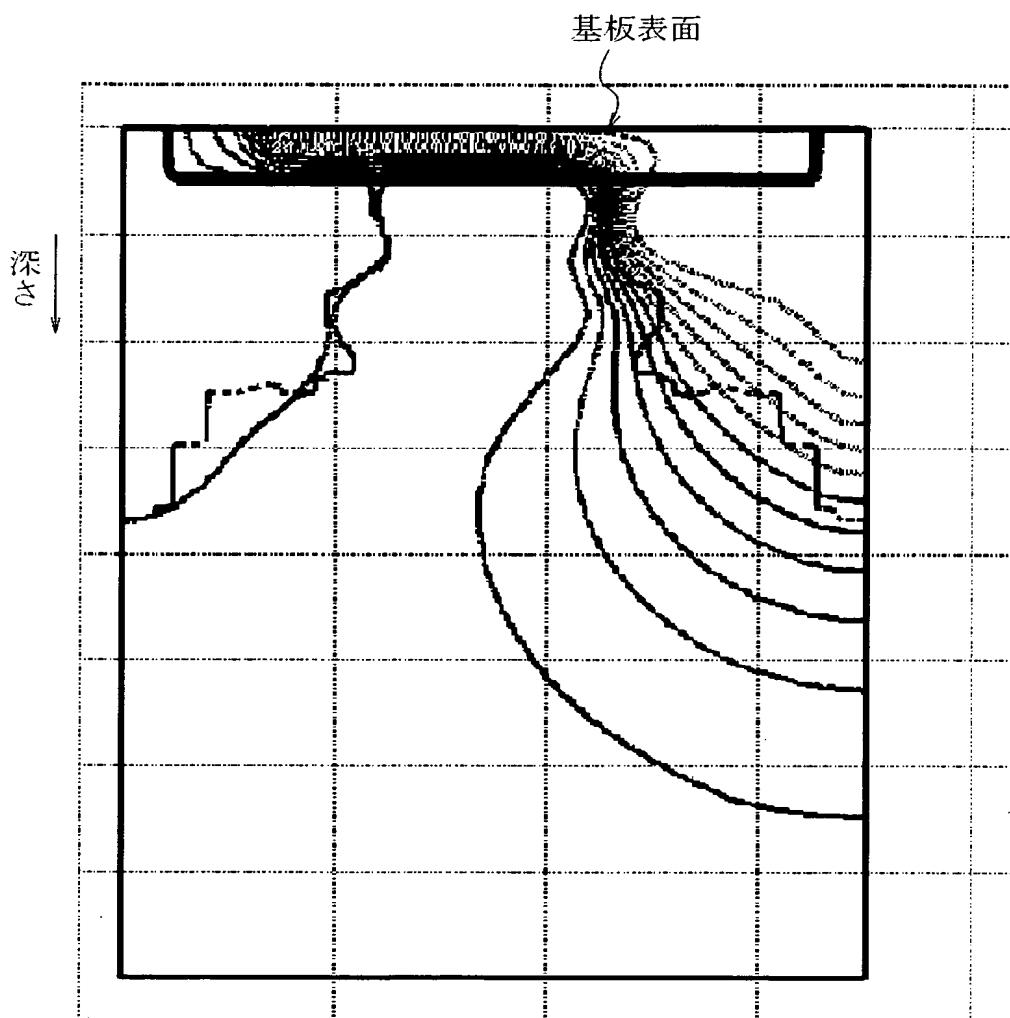


【図9】

2. PW下にp型不純物層を設ける



【図10】



【書類名】 要約書

【要約】

【課題】 サブミクロンのウェル間隔においてもパンチスルーが防止でき、半導体装置を縮小できる技術が要求されている。

【解決手段】 p型半導体基板1に2つのnウェル2, 3及びその間に挟まれたpウェル4が挟まれ、2つのnウェル2, 3及びpウェル4の下方にpウェル5またはp型エピタキシャル層を設けることにより、2つのnウェル2, 3間のパンチスルーを防止し、nウェル2, 3間隔を短くすることができる。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2003-022766
受付番号 50300151232
書類名 特許願
担当官 第五担当上席 0094
作成日 平成15年 1月31日

<認定情報・付加情報>

【提出日】 平成15年 1月30日

次頁無

出証特2003-3089703

特願2003-022766

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住所 神奈川県川崎市中原区下沼部1753番地
氏名 NECエレクトロニクス株式会社